

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS


IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

MULTILAYER WIRING BOARD

Patent number: JP2001102755
Publication date: 2001-04-13
Inventor: HIDA YOICHI
Applicant: MITSUBISHI ELECTRIC CORP
Classification:
- international: H05K3/46; H05K1/02; H05K1/11
- european:
Application number: JP19990276488 19990929
Priority number(s):

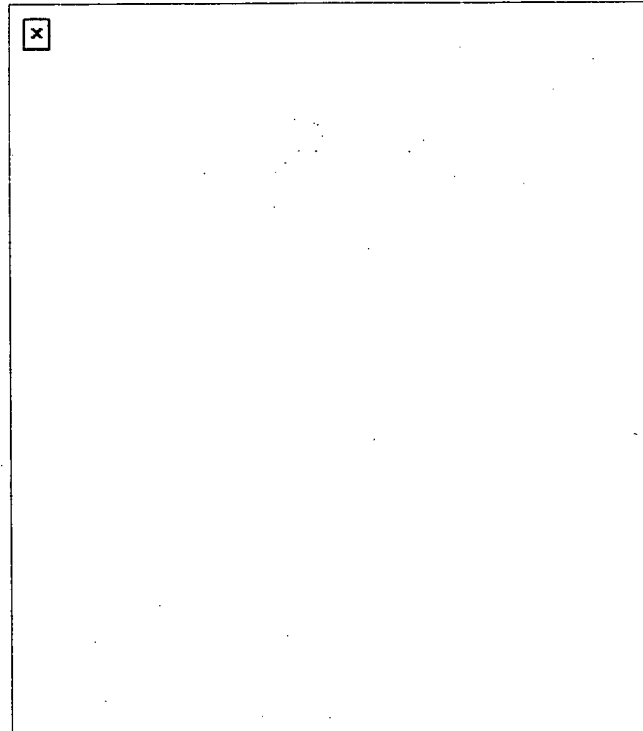
Also published as:

 US6630627 (B1)

Abstract of JP2001102755

PROBLEM TO BE SOLVED: To provide a multilayer wiring board which can reduce or eliminate delay time differences of signals propagating signal wirings.

SOLUTION: A multilayer wiring board 100 has wiring layers, each having mutually parallel signal wirings 31a-31n and dummy wirings 31Da, 31Dn, respectively disposed at both outsides of the signal wirings 31b-31m. The dummy wirings 31Da, 31Dn have identical shapes to the signal wirings 31a-31n and are disposed parallel to the signal wirings 31b-31m with the same spacing as that between the signal wirings 31a-31n. Through-holes 40ab-40mn are formed in the gaps between the signal wirings 31a-31n, dummy through-holes 40Da, 40Dn having identical shapes to the through-holes 40ab-40mn are formed between the dummy wirings 31Da, 31Dn and the signal wirings 31a, 31n, and conductor layers are formed on the inner walls of the through-holes 40ab-40nm, 40Da, 40Dn.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-102755

(P2001-102755A)

(43)公開日 平成13年4月13日(2001.4.13)

(51)Int.Cl.⁷

H 0 5 K 3/46

識別記号

1/02

1/11

F I

H 0 5 K 3/46

1/02

1/11

テ-マコ-ト*(参考)

Q 5 E 3 1 7

N 5 E 3 3 8

Z 5 E 3 4 6

P

H

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21)出願番号

特願平11-276488

(22)出願日

平成11年9月29日(1999.9.29)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 飛田 洋一

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100089233

弁理士 吉田 茂明 (外2名)

Fターム(参考) 5E317 AA24 CC51 CD27 GG11

5E338 AA03 BB13 CC01 CC05 CC09

EE11

5E346 AA42 BB02 BB06 FF34 FF45

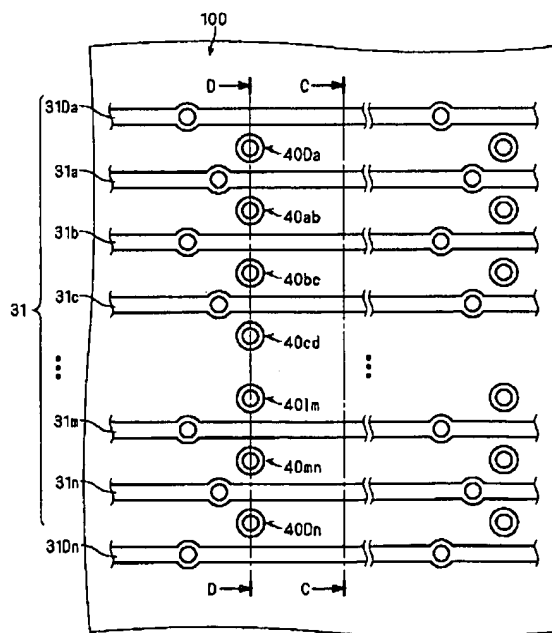
HH03 HH05 HH07 HH31

(54)【発明の名称】 多層配線基板

(57)【要約】

【課題】 各信号配線を伝播する各信号の遅延時間差を低減・排除しうる多層配線基板を提供する。

【解決手段】 多層配線基板100の各配線層は、互いに平行に配置された信号配線31a~31nと、信号配線31b~31mの両外側それぞれに配置されたダミー配線31Da, 31Dnとを備える。ダミー配線31Da, 31Dnは信号配線31a~31nと同等の形状を有し、各信号配線31a~31n間と同じ間隔を介して信号配線31b~31mと平行に配置されている。信号配線31a~31nの各間隙にスルーホール40ab~40mnが形成されており、ダミー配線31Da, 31Dnと信号配線31a, 31nとの間にスルーホール40ab~40mnと同等の形状のダミースルーホール40Da, 40Dnが形成されている。各スルーホール40ab~40mn, 40Da, 40Dnの各内壁面上に導電層が形成されている。



31a~31n: 信号配線

31: 信号配線群

31Da, 31Dn: ダミー配線

40ab~40mn: スルーホール

40Da, 40Dn: ダミースルーホール

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-102755

(P2001-102755A)

(43) 公開日 平成13年4月13日 (2001.4.13)

(51) Int.Cl.⁷

H 0 5 K 3/46

識別記号

F I

H 0 5 K 3/46

テームコード* (参考)

Q 5 E 3 1 7

N 5 E 3 3 8

Z 5 E 3 4 6

P

H

1/02

1/02

1/11

1/11

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号

特願平11-276488

(22) 出願日

平成11年9月29日 (1999.9.29)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 飛田 洋一

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100089233

弁理士 吉田 茂明 (外2名)

Fターム(参考) 5E317 AA24 CC51 CD27 GG11

5E338 AA03 BB13 CC01 CC05 CC09

EE11

5E346 AA42 BB02 BB06 FF34 FF45

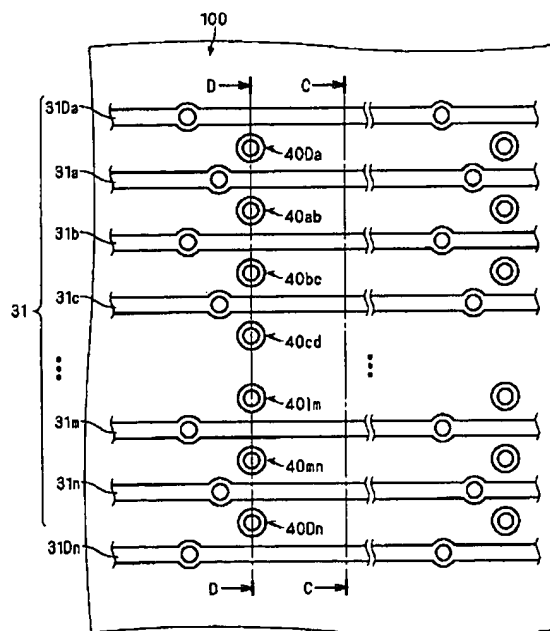
HH03 HH05 HH07 HH31

(54) 【発明の名称】 多層配線基板

(57) 【要約】

【課題】 各信号配線を伝播する各信号の遅延時間差を低減・排除しうる多層配線基板を提供する。

【解決手段】 多層配線基板100の各配線層は、互いに平行に配置された信号配線31a~31nと、信号配線31b~31mの両外側それぞれに配置されたダミー配線31Da, 31Dnとを備える。ダミー配線31Da, 31Dnは信号配線31a~31nと同等の形状を有し、各信号配線31a~31n間と同じ間隔を介して信号配線31b~31mと平行に配置されている。信号配線31a~31nの各間隙にスルーホール40ab~40mnが形成されており、ダミー配線31Da, 31Dnと信号配線31a, 31nとの間にスルーホール40ab~40mnと同等の形状のダミースルーホール40Da, 40Dnが形成されている。各スルーホール40ab~40mn, 40Da, 40Dnの各内壁面上に導電層が形成されている。



31a~31n: 信号配線

31: 信号配線群

31Da, 31Dn: ダミー配線

40ab~40mn: スルーホール

40Da, 40Dn: ダミースルーホール

【特許請求の範囲】

【請求項1】 多層化された複数の配線層を備えた多層配線基板において、
前記複数の配線層の少なくとも1層は、
互いに平行に形成された複数の信号配線から成る信号配線群を含み、

前記信号配線群の両外側にそれぞれ少なくとも1本ずつ配置され、前記複数の信号配線と互いに平行を成すダミー配線を備えることを特徴とする、多層配線基板。

【請求項2】 請求項1に記載の多層配線基板であって、
前記複数の信号配線間の各間隙に、前記複数の配線層の積層方向に沿って形成されたスルーホールと、
前記ダミー配線の前記信号配線群の側に隣接して配置され、前記積層方向に沿って形成されたダミースルーホールと、
前記スルーホール及び前記ダミースルーホールの各内部にそれぞれ配置された導電層とを更に備えることを特徴とする、多層配線基板。

【請求項3】 請求項2に記載の多層配線基板であって、
前記ダミースルーホール内の前記導電層は、複数の前記スルーホールのいずれかの内部の前記導電層に電気的に接続されていることを特徴とする、多層配線基板。

【請求項4】 請求項2に記載の多層配線基板であって、
前記ダミースルーホール内の前記導電層は、前記ダミー配線に電気的に接続されていることを特徴とする、多層配線基板。

【請求項5】 請求項1乃至4のいずれかに記載の多層配線基板であって、
前記ダミー配線の特性インピーダンスと略同一のインピーダンス値を有し、前記ダミー配線の端部又は中央部に電気的に接続された抵抗を少なくとも1つ更に備えることを特徴とする、多層配線基板。

【請求項6】 請求項1乃至4のいずれかに記載の多層配線基板であって、
前記ダミー配線の端部又は中央部に電気的に接続された終端抵抗接続用端子を少なくとも1つ更に備えることを特徴とする、多層配線基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、プリント（配線）基板、特に多層化された複数の配線層を備えた多層配線基板に関するものであり、各配線層を成す複数の配線の各々を伝播する各信号の伝播遅延時間（以下、単に「遅延時間」とも呼ぶ）の差を改善する技術に関する。

【0002】

【従来の技術】図15の（a）に従来のメモリモジュール

のその側面図を示す。なお、図15では詳細な配線の図示は省略している。

【0003】図15に示すように、メモリモジュール200Pは、従来の多層配線基板100P上に複数（ここでは9個）のDRAM（Dynamic Random Access Memory）51が搭載されている。多層配線基板100Pには、複数の外部端子60が設けられており、当該外部端子60を介してDRAM51と外部システムないしは外部回路（図示せず）との間での信号の授受や電源の供給が行われる。

【0004】図16に、多層配線基板100Pの、図15中のA-A線における模式的な縦断面図を示す。多層配線基板100Pは積層された6つの配線層を備え、各配線層を成す配線がガラスエポキシ材料等の絶縁材料2で絶縁されている。詳細には、多層配線基板100Pの両主面ないしは両表面上にそれぞれ信号配線層を成す信号配線群31、32が配置されており、多層配線基板100Pの内部に信号配線層を成す信号配線群33、34と、接地配線（層）35と、電源配線（層）36とが配置されている。信号配線群31～34はDRAM51の動作に関する信号、例えばアドレス信号を伝達するために用いられ、接地配線35、電源配線36はそれぞれDRAM51の接地端子、電源端子に接地電位、電源電位を供給するために用いられる。

【0005】図17に、配線層の一例として信号配線群31から成る信号配線層の模式的な上面図を示す。図17に示すように、信号配線群31は、それぞれが例えばDRAM51のアドレス信号を伝達するn本の帯状の信号配線31a～31nから成り、各信号配線31a～31nがこの順序で互いに平行に配置されている。

【0006】一般的に、多層配線基板100Pの表面上に形成される信号配線群31、32を成す各信号配線は20μm程度の厚さの銅箔と当該銅箔表面に施された20ミクロン程度の厚さの銅メッキ膜とから成る。多層配線基板100P内の信号配線群33、34を成す各信号配線は40μm程度の厚さの銅箔で形成される。各信号配線群31～34を成す各信号配線の幅は約100～200μm程度であり、配線パターンの配線間隔は約100～200μm程度である。他方、接地配線35及び電源配線36は40μm程度の厚さの平面状の銅箔から成る。また、各信号配線群31～34を成す各信号配線の長さはメモリモジュール200Pの横幅（図15における左右方向の寸法）程度であり、一般的に10数cm程度である。

【0007】図18に、多層配線基板100P又はメモリモジュール200Pの、図15中のB-B線における模式的な縦断面図を示す。図18に示すように、多層配線基板100Pを厚さ方向に貫くスルーホール40が形成されている。スルーホール40は直径が250μm程

一ホール40の内装面ないしは導電面40Sには20 μ m程度の厚さの導電層41が形成されている。導電層41は、多層配線基板100Pの表面上の信号配線群31、32を糊メッキ形成する際に同時に形成される。なお、上述の図17に示すように、各信号配線31a~31n間にスルーホール40ab~40mnが形成される。

【0008】スルーホール40及び導電層41によって、各信号配線群31~34から成る各配線層、接合配線35及び電源配線群36の内の所定のものとが接続される。例えば、図18に示すように、各信号配線群33、34が成す各配線層が信号配線群31が成す配線層に接続される。そして、信号配線群31の信号配線のパッド部が、ほんだ52を介してDRAM51の外周リード51aと接続されている。これにより、信号配線群33、34が成す配線層又は各信号配線とDRAM51とが接続される。

【0009】次に、DRAM51がアドレス信号SAを取り込むタイミングを、図19のタイミングチャートを用いて説明する。なお、図19中の(a)及び(b)はそれぞれクロック信号CL、アドレス信号SAの各タイミングチャートである。DRAM51は、クロック信号CLの立上り(あるいは立下り)の時刻t0を基準にして、アドレス信号SAを取り込む。このとき、アドレス信号SAを確実に取り込んでDRAM51の内部回路を安定的に動作させるためには、時刻t0の前後にそれぞれ所定の時間長きのセットアップ時間T1及びホールド時間T2が設けられる。DRAM51を高速に且つ安定的に動作させるためには、セットアップ時間T1及びホールド時間T2に対する各動作余裕値(マージン)が大きい方が好ましい。

【0010】複数のアドレス信号SAをそれぞれ別個の配線で伝送する場合、全てのアドレス信号SAが同時に多層配線基板100P上を伝播し、同時刻にDRAM51内に取り込まれることが望ましい。そのような伝送状態の実現によって、上記マージンを大きく設定することができ、高周動作時においてもDRAM51の高い動作安定性を得ることができる。

【0011】

【発明が解決しようとする課題】しかしながら、従来のメモリモジュール200Pは信号の伝播に関して以下の問題点を有している。ここでは、上述の信号配線群31が成す配線層を一例に挙げて説明するが、その説明は他の配線層に対しても妥当である。

【0012】一般的に、複数の配線が近接して配置されると、各配線間に形成される容量成分ないしは容量を介して各配線が容量性結合ないしは容量結合することが知られている。かかる様子を図20を用いて説明する。なお、図20は前述の図17中のCP-CP線における多層配線基板100Pの模式的な縦断面図である。図20

に示すように、全信号配線31a~31nは、隣接する2本の信号配線間の容量C_{SW}を介して直列に容量結合された状態として模式的に表すことができる。

【0013】同様に、前述の図17に示すように各信号配線31a~31n間にスルーホール40ab~40mnが形成されている場合、全信号配線31a~31n及び全スルーホール40ab~40mn(詳細には全ての導電層41ab~41mn)は、図17中のDP-DP線における模式的な縦断面図である図21に示すように図示される。即ち、全信号配線31a~31n及び全導電層41ab~41mnは、信号配線とスルーホールの導電面との間の容量C_{ST}を介して直列に容量結合している。

【0014】前述の図17に示すように、最も外側の信号配線31a、31n以外の信号配線31b~31mの両側にはそれぞれ信号配線及びスルーホールが配置されているのに対して、最も外側の信号配線31a、31nにはその片側にしか信号配線及びスルーホールが配置されていない。即ち、図20及び図21に示すように、各信号配線31b~31mには2つの容量C_{SW}又は2つの容量C_{ST}が結合しているのに対して、最も外側の信号配線31a、31nには1つの容量C_{SW}又は容量C_{ST}しか結合していない。

【0015】ところで、配線を伝播する信号の伝播遅延時間t_{pd}は、単位長当たりの配線に対して次式(1)で表される。

【0016】

$$t_{pd} = \sqrt{L \cdot C} \quad \dots \dots (1)$$

なお、式(1)中の記号L、Cはそれぞれ配線の単位長当たりのインダクタンス、同キャパシタンスである。

【0017】ここで、キャパシタンスCは上述の容量C_{ST}、C_{WT}を含むので、式(1)によれば、信号配線31a、31nの遅延時間t_{pd1}は、他の信号配線31b~31mの遅延時間t_{pd2}よりも小さいことが分かる。また、式(1)が単位長当たりの配線に対する関係式であることに留意すれば、両遅延時間t_{pd1}、t_{pd2}及び両者の差 Δt_{pd} は配線の長さに依存し、配線が長くなるほど大きくなることが分かる。

【0018】上述のように、遅延時間t_{pd1}が遅延時間t_{pd2}よりも短いので、図22中の(a)~(c)の各タイミングチャートを参照すれば分かるように、信号配線31a、31nを伝送するアドレス信号SAa、SAnは、信号配線31b~31mを伝送するアドレス信号SAb~SAmよりも時間 Δt (遅延時間差 Δt_{pd} に信号配線の長さを乗じた値に相当する)だけ速く伝播する。このため、DRAM51を安定的に動作させるためには、各アドレス信号SAa~SAnの相互間の伝播遅延時間の差 Δt を考慮した上で、DRAM51の動作タイミングを設定する必要がある。即ち、アドレス信号SAa、SAnに対するホールド時間T3を、アドレ

ス信号SA_b～SA_mに対するホールド時間T₂よりも時間Δ_tだけ短くしなければならない。かかる時間設定によりセットアップ時間及びホールド時間に対する各マージンが狭められるので、DRAM51の高速動作時の安定性が低下してしまうという問題点を誘起する。

【0019】本発明はかかる点に鑑みてなされてものであり、各信号信号の各伝播遅延時間の差を格段に低減・除去しうる多層配線基板を提供することを主たる目的とする。

【0020】

【課題を解決するための手段】(1)請求項1に記載の発明に係る多層配線基板は、多層化された複数の配線層を備えた多層配線基板において、前記複数の配線層の少なくとも1層は、互いに平行に形成された複数の信号配線から成る信号配線群を含み、前記信号配線群の両外側にそれぞれ少なくとも1本ずつ配置され、前記複数の信号配線と互いに平行を成すダミー配線を備えることを特徴とする。

【0021】(2)請求項2に記載の発明に係る多層配線基板は、請求項1に記載の多層配線基板であって、前記複数の信号配線間の各間隙に、前記複数の配線層の積層方向に沿って形成されたスルーホールと、前記ダミー配線の前記信号配線群の側に隣接して配置され、前記積層方向に沿って形成されたダミースルーホールと、前記スルーホール及び前記ダミースルーホールの各内部にそれぞれ配置された導電層とを更に備えることを特徴とする。

【0022】(3)請求項3に記載の発明に係る多層配線基板は、請求項2に記載の多層配線基板であって、前記ダミースルーホール内の前記導電層は、複数の前記スルーホールのいずれかの内部の前記導電層に電気的に接続されていることを特徴とする。

【0023】(4)請求項4に記載の発明に係る多層配線基板は、請求項2に記載の多層配線基板であって、前記ダミースルーホール内の前記導電層は、前記ダミー配線に電気的に接続されていることを特徴とする。

【0024】(5)請求項5に記載の発明に係る多層配線基板は、請求項1乃至4のいずれかに記載の多層配線基板であって、前記ダミー配線特性インピーダンスと略同一のインピーダンス値を有し、前記ダミー配線の端部又は中央部に電気的に接続された抵抗を少なくとも1つ更に備えることを特徴とする。

【0025】(6)請求項6に記載の発明に係る多層配線基板は、請求項1乃至4のいずれかに記載の多層配線基板であって、前記ダミー配線の端部又は中央部に電気的に接続された終端抵抗接続用端子を少なくとも1つ更に備えることを特徴とする。

【0026】

【発明の実施の形態】<実施の形態1>実施の形態1に

す従来の多層配線基板100Pと同様に、複数の信号配線層と、接地配線(層)35と、電源配線(層)36と、これら複数の配線層の積層方向に形成された複数のスルーホールとを備える。また、各配線層及び各信号配線層を成す配線はガラスエポキシ材料等の絶縁材料(既述の絶縁材料2を参照)で互いに絶縁されている。ここでは、多層配線基板100の表面上に配置された信号配線層を一例に挙げて説明するが、以下の説明は各信号配線層に対しても妥当である。図1に、かかる信号配線層の模式的な上面図を示す。

【0027】図1に示すように、多層配線基板100は、(I)互いに平行に配置されたn本の信号配線31a～31nから成る既述の信号配線群31を備え、更に、(II)信号配線群31の両外側に、即ち、信号配線層31の最も外側の各信号配線31a、31nの信号配線31b～31mとは反対側にそれぞれダミー配線31Da、ダミー配線31Dnが配置されている。ダミー配線31Da、31Dnは信号配線31a～31nと互いに平行を成して延在している。ダミー配線31Da、31Dnは信号配線31a～31nと同等の形状を有し、各信号配線31a～31n間と同じ間隔を介して信号配線31a、31nの外側に配置されている。

【0028】また、(i)信号配線31a～31nの各間隙に既述のスルーホール40ab～40mnを備え、更に、(ii)上記ダミー配線31Da、31Dnと信号配線31a、31nとの間の各間隙に、スルーホール40ab～40mnと同等の形状の各ダミースルーホール40Da、40Dnが形成されている。既述のように、各スルーホール40ab～40mnの内壁面上に各導電層41ab～41mn(後述の図2参照)が形成されており、導電層41ab～41mnによって上記複数の配線層の内の所定の配線層同士が電気的に接続される。また、各ダミースルーホール40Da、40Dnの内壁面上にそれぞれ上記導電層41ab～41mnと同等の(ダミー)導電層41Da、41Dn(後述の図2参照)が形成されている。なお、各導電層41ab～41mn、41Da、41Dnは各スルーホール40ab～40mn、40Da～40Dnの内部を完全に充填する形状であっても構わない。

【0029】なお、ダミー配線31Da、31Dn及びダミースルーホール40Da、40Dn及び(ダミー)導電層41Da、41Dnに対して、信号配線31b～31m、スルーホール40ab～40mn及び導電層41ab～41mnを「正規の信号配線31b～31m」等のようにも表現する。

【0030】図2に図1中のC-C線における多層配線基板100の模式的な縦断面図を示し、図3に図1中のD-D線における同縦断面図を示す。図2に示すように、多層配線基板100によれば、図1中のC-C線付

a, 31Dnが、隣接する2本の配線間の容量CSWを介して直列に容量結合している。また、図3に示すように、図1中のD-D線付近では、信号配線31a~31n及びダミー配線31Da, 31Dnとスルーホール40ab~40mnの導電層41ab~41mn及びダミースルーホール40Da, 40Dnの導電層41Da, 41Dnとが、配線と導電層との間の容量CSTを介して直列に容量結合している。

【0031】図2及び図3と既述の図20及び図21とを比較すれば分かるように、多層配線基板100では、ダミー配線31Da, 31Dnによって、信号配線群31の最も外側の信号配線31a, 31nに、信号配線31b~31mと同様に各容量CSW, CSTを2個結合させることができる。つまり、上記最も外側の信号配線31a, 31nの各線路容量を各信号配線31a~31nのそれと同等にすることができる。

【0032】これにより、各信号配線31a~31nを伝播する各信号、例えばDRAM51(図15, 図18等を参照)に対して入力する各アドレス信号の伝播速度を同等にすることができる。従って、従来の多層配線基板100Pと比較して、各アドレス信号の各伝播遅延時間の差 Δt_{pd} を格段に低減することができる。

【0033】その結果、従来の多層配線基板100Pに変えて多層配線基板100を備えたメモリモジュールによれば、全ての信号配線31a~31nに対して同じ時間長さのセットアップ時間及びホールド時間を設定することができるので、高速動作時においてもDRAM51を安定的に且つ確実に動作させることができる。

【0034】容量CSW, CSTは各配線間又は配線とスルーホールの導電層との間の電界分布に依存する点及び電界は導体である配線の表面から全方位に向いて存在する点に鑑みれば、図4の模式的な縦断面図に示すようにダミー配線31Da(及びダミー配線31Dn)の更に外側にダミー配線Da1, 31Da2, ...をより多く設けることがより好ましい。勿論、これらのダミー配線31Da, 31Da1, 31Da2, ...は、信号配線31a~31nと同等の寸法を有し、各信号配線31a~31n間と同じ間隔を介して配置される。このとき、複数のダミー配線31Da, 31Da1, 31Da2, ...の各間隙に、即ち、かかる各ダミー配線31Da, 31Da1, 31Da2, ...の信号配線群31の側に隣接してダミースルーホールを設けることが好ましい。これにより、全ての信号配線31a~31nにおいて電界分布等の電気的影響をより一層に等しくすることができるので、上述の遅延時間差 Δt_{pd} の低減効果を更に推進することができる。なお、ダミー配線の本数は、信号配線の本数や多層配線基板100の形状寸法等に基づいて設定される。

【0035】<実施の形態1の変形例1>ここで、多層

が少なく且つダミー配線を有さない配線層が存在する場合、以下の構成を適用することができる。例えば、多層配線基板100の模式的な縦断面図である図5に示すように、信号配線31bの下方にその信号配線層の最も外側の配線である信号配線131aが配置されており、信号配線31aの下方にはその信号配線層を成す信号配線が配置されていない場合、ダミースルーホール40Daの導電層41Daを連結配線43によって正規の導電層41abに電気的に接続しても良い。このとき、連結配線43は、上記信号配線131aを含む信号配線層内に設けることが好ましい。

【0036】かかる構成によれば、ダミースルーホール40Daの導電層41Daの電位や電界分布等の電気的影響を正規の導電層41abと同等にすることができる。これにより、正規のスルーホール40abとダミースルーホール40Daとの間に存在する信号配線31a等の電気的影響を他の正規のスルーホール間に存在する信号配線と同様にすることができる。その結果、上述の伝播遅延時間差 Δt_{pd} をより低減することができる。

【0037】上述の説明では、ダミー導電層41Daが隣接する正規の導電層41abに接続される場合を述べたが、当該ダミー導電層41Daを図5中に図示しない他のスルーホールの配線層に電気的に接続しても良い。また、ダミー導電層41Daが接続される正規の導電層41ab等は、接地配線35又は電源配線36に電気的に接続されていても構わない。

【0038】<実施の形態1の変形例2>上述の変形例1に係る構成の多層配線基板100では、ダミースルーホール40Daの導電層41Daが信号配線131aを伝搬する信号の負荷として働くので、当該信号の遅延や波形歪が増大する場合がある。かかる遅延等の増大は本変形例2に係る構成を有する多層配線基板100により低減・排除可能である。図6に本変形例2に係る多層配線基板100の模式的な縦断面図を示す。図6に示すように、信号配線131aの外側に、ダミー配線31Daに相当するダミー配線131Daを配置し、当該ダミー配線131Daとダミースルーホール40Daの導電層41Daとを連結配線44を介して電気的に接続する。

【0039】かかる構成によれば、ダミー導電層41Daが正規の導電層41abに直接に接続されないで、上述の信号遅延等の増大を抑制することができる。このとき、ダミー配線131Daを信号配線131aを含む信号配線層内に設けることが好ましい。また、ダミー配線131Daが既述の遅延時間差 Δt_{pd} の低減効果を奏することは言うまでもない。

【0040】<実施の形態2>次に、多層配線基板100を応用したメモリモジュール201を図7を参照しつつ説明する。図7はメモリモジュール201の模式的な上面図である。図面の煩雑化を避けるため図7では上述

みを抽出して模式的に図示しているが、以下の信号配線 31a 及びダミー配線 31Da に対する各説明は信号配線 31b~31n 及びダミー配線 31Dn に対しても妥当である。また、DRAM51 等の構成は従来のメモリモジュール 4200P と同等であるため、図 7 中ではその図示化を省略している。これらの点は後述の図 8~図 14 においても同様である。なお、メモリモジュール 201 は、アドレス信号が当該モジュール 201 の入力側の（外部）端子 T31a1 から入力されて DRAM へ伝達される一方で、出力側の（外部）端子 T31a2 から出力されるタイプのモジュール、例えば RIMM (Rambus Inline Memory Module) タイプのメモリモジュールである。

【0041】図 7 に示すように、メモリモジュール 201 では、信号配線 31a の入力側の端部がメモリモジュール 201 の入力側の端子 T31a1 を介して外部回路ないしはドライバ回路 300 に電気的に接続されている。ドライバ回路 300 は信号配線 31a の特性インピーダンス Z0 と略等しい出力インピーダンス値 R を有する。そして、信号配線 31a の出力側の端部 31aT2 はメモリモジュール 201 の出力側の端子 T31a2 に電気的に接続されており、当該端子 T31a2 は抵抗 R31a を介して接地配線 35（図 16 参照）に電気的に接続されて終端される。抵抗 R31a は、信号配線 31a の特性インピーダンス Z0 と略等しいインピーダンス値を持つ終端抵抗である。なお、端子 T31a2 を抵抗 R31a を介して電源配線 36（図 16 参照）に電気的に接続しても良く、かかる点は以下の説明においても同様である。このように、信号配線 31a は入力側及び出力側の両端部 31aT1、31aT2 においてインピーダンス整合された状態でアドレス信号を伝送する。

【0042】特に、メモリモジュール 201 に適用される多層配線基板 101 は、上述の多層配線基板 100 上に更に抵抗 R31Da1 を備える。詳細には、ダミー配線 31Da の入力側及び出力側の両端部 31DaT1、31DaT2 はそれぞれ抵抗 R31Da1 を介して接地されている。なお、便宜上、信号配線 31a の入力側及び出力側の各端部に対応させて、ダミー配線 31Da の各端部を入力側及び伝送の出力側の区別をする。抵抗 R31Da1 はダミー配線 31Da の特性インピーダンス Z0（信号配線 31a のそれと等しい）と略等しいインピーダンス値を有しており、ダミー配線 31Da は両端部 31DaT1、31DaT2 においてインピーダンス整合されている。抵抗 R31Da1 はチップ抵抗等から成り、多層配線基板 101 の表面上に搭載されてダミー配線 31Da と接地配線 35 との間に半田接続されている。

【0043】このように、多層配線基板 101 及びメモリモジュール 201 によれば、ダミー配線 31Da の電気的接続状態を、信号配線 31a と同等にすることがで

きる。従って、上述の伝達遅延時間の歪 Δt_{pad} の低減効果を確実を得ることができる。これにより、DRAM51 を安定的に且つ確実に高速動作させることができる。以下に多層配線基板 101 及びメモリモジュール 201 の変形例を説明するが、各変形例 1~4 に係る各構成によっても同様の効果を得ることができる。

【0044】＜実施の形態 2 の変形例 1＞図 8 は、本変形例 1 に係るメモリモジュール 202 の模式的な上面図である。図 8 と既述の図 7 とを比較すれば分かるように、メモリモジュール 202 に適用される多層配線基板 102 では、ダミー配線 31Da の入力側及び出力側の各端部 31DaT1、31DaT2 はそれぞれメモリモジュール 202 の入力側の端子（終端抵抗接続用端子）T31Da1、出力側の端子（終端抵抗接続用端子）T31Da2 に電気的に接続されている。そして、各端子 T31Da1、T31Da2 は、メモリモジュール 202 の外側に設けられた終端抵抗 R31Da2 を介して接地されている。

【0045】このように、多層配線基板 102 及びメモリモジュール 202 では抵抗 R31Da が多層配線基板 102 の外側に設けられているので、抵抗 R31Da の抵抗値の調整・変更が容易である。このとき、抵抗 R31Da の選択・設定によって、上述のメモリモジュール 101 よりも消費電力を低減することができる。勿論、抵抗 R31Da2 として上記特性インピーダンス Z0 と略等しいインピーダンス値を有する抵抗を用いて構わない。

【0046】＜実施の形態 2 の変形例 2＞図 9 に、本変形例 2 に係るメモリモジュール 203 の模式的な上面図を示す。メモリモジュール 203 は、アドレス信号が当該モジュール 203 の入力側の端子 T31a1 を介して信号配線 31a の入力側の端部 31aT1 から入力されて DRAM へ伝達される一方で、信号配線 31a の出力側の端部 31aT2 が終端されないタイプのモジュール、例えば DIMM (Dual In-line Memory Module) タイプのメモリモジュールである。詳細には、図 9 と既述の図 7 とを比較すれば分かるように、メモリモジュール 203 では、信号配線 31a の出力側の端部 31aT2 に抵抗 R31a が接続されていない。

【0047】これに対応して、メモリモジュール 203 に適用される多層配線基板 103 では、ダミー配線 31Da の入力側の端部 31DaT1 にのみ終端抵抗 R31Da1 が電気的に接続されている。なお、ダミー配線 31Da の出力側の端部 31aT2 を抵抗 R31Da1、R31Da2 で終端しても構わない。

【0048】また、図 10 に示すメモリモジュール 204 の多層配線基板 104 のように、ダミー配線 31Da の入力側の端部 31DaT1 を入力側の端子 T31Da1 に電気的に接続し、当該端子 T31Da1 に抵抗 R31Da2 を接続しても良い。かかる場合も、ダミー配線

31Daの出力側の端部31aT2を抵抗R31Da1又は抵抗R31Da2で終端しても構わない。

【0049】＜実施の形態2の変形例3＞図11に、本変形例3に係るメモリモジュール205の模式的な上面図を示す。メモリモジュール205は、アドレス信号が信号配線31aの中央部31aCから入力されてDRAMへ伝達されるタイプのモジュール、例えばDIMMタイプのメモリモジュールである。このようなタイプのメモリモジュールは、メモリモジュール上でのアドレス信号の伝播遅延時間tpdを半減するために多用される。

【0050】図11に示すように、メモリモジュール205では、信号配線31aの長さ方向における中央部31aCに、(外部)端子T31a3を介してドライバ回路300が電気的に接続されている。これに対応して、メモリモジュール205に適用される多層配線基板105では、ダミー配線31Daの長さ方向における中央部31DaCに抵抗R31Da1が電気的に接続されている。

【0051】なお、図12に示すメモリモジュール206の多層配線基板106のように、ダミー配線31Daの上記中央部31DaCを端子(終端抵抗接続用端子)T31Da3に電気的に接続し、当該端子T31Da3に抵抗R31Da2を電気的に接続しても良い。

【0052】＜実施の形態2の変形例4＞図13に、本変形例4に係るメモリモジュール207の模式的な上面図を示す。図13と上述の図11とを比較すれば分かるように、メモリモジュール207では、信号配線31aの各端部31aT1、31aT2がそれぞれ端子T31a2に電気的に接続されて抵抗R31aを介して接地されている。これに対応して、メモリモジュール207に適用される多層配線基板107では、中央部31DaCに加えて、ダミー配線31Daの各端部31DaT1、31DaT2にもそれぞれ既述の抵抗R31Da1が電気的に接続されている。

【0053】なお、図14に示すメモリモジュール208の多層配線基板108のように、ダミー配線31Daの両端部31DaT1、31DaT2及び中央部31DaCをそれぞれ端子T31Da1、T31Da2、T31Da3に電気的に接続し、各端子T31Da1、T31Da2、T31Da3にそれぞれ抵抗R31Da2を電気的に接続しても良い。

【0054】なお、上述の変形例1～4において、ダミー配線31Daに2個以上の抵抗R31Da1又は抵抗R31Da2が電気的に接続される場合、例えば端部31DaT1を抵抗R31Da1と電気的に接続し、端部31DaT2を端子T31Da2を介して抵抗R31Da2と電気的に接続するような、複合的な接続形態を適用しても構わない。

【0055】また、上述の各抵抗R31Da1、R31

また、各抵抗R31Da1、R31Da2、R31Da3を各メモリモジュール200～208の接地配線又は電源配線に電気的に接続しても構わない。勿論、信号配線31a～31nを、アドレス信号以外の信号を伝達する各種のデータ入出力線として適応可能であることは言うまでもない。

【0056】

【発明の効果】(1)請求項1に係る発明によれば、信号配線群の最も外側の信号配線の線路容量をその他の信号配線のそれと同等にすることができる。これにより、各信号配線を伝播する各信号の伝播速度を同等にすることができるので、各信号の伝播遅延時間の差を格段に低減・除去することができる。その結果、例えば当該多層配線基板をメモリモジュールに適用し、DRAMへ入力するアクセス信号を各信号配線で以て伝送することによって、高速動作時においてもDRAMを安定的に且つ確実に動作させることができる。

【0057】(2)請求項2に係る発明によれば、ダミースルーホール内の導電層によって上記(1)の効果を更に向上することができる。

【0058】(3)請求項3に係る発明によれば、ダミースルーホール内の導電層の電界分布等の電気的影響を当該導線層が電気的に接続されたスルーホール内の導電層と同等にすることができる。これにより、ダミースルーホールとスルーホールとの間の信号配線の電気的影響を他のスルーホール間の信号配線と同様にすることができるので、上記(1)の効果を更に確実に得ることができる。

【0059】(4)請求項4に係る発明によれば、請求項3に係る発明の多層配線基板とは異なり、ダミースルーホールの導電層がスルーホールの導電層に直接に接続されない。このため、スルーホールの導電層が信号配線に電気的に接続される場合において、ダミースルーホールの導電層が上記信号配線を伝搬する信号の負荷として働かない。従って、当該信号の遅延や波形歪の増大を抑制しつつ、上記(1)の効果を確実に得ることができる。

【0060】(5)請求項5に係る発明によれば、抵抗によりダミー配線はインピーダンス整合される。各信号配線がインピーダンス整合された状態で使用される場合に、ダミー配線の電気的接続状態を各信号配線と同等にすることができる。このため、上記(1)の効果をより一層、確実に得ることができる。

【0061】(6)請求項6に係る発明によれば、終端抵抗用端子に電気的に接続された終端抵抗は多層配線基板の外部に設けられるので、終端抵抗の抵抗値の設定・変更が容易である。このとき、例えば上述のメモリモジュールにおいて、請求項5に係る発明の多層配線基板を用いる場合よりも消費電力の低減を図ることが可能であ

【図面の簡単な説明】

【図1】 実施の形態1に係る多層配線基板における配線層の模式的な上面図である。

【図2】 実施の形態1に係る多層配線基板における、複数の配線の容量結合状態を説明するための模式図である。

【図3】 実施の形態1に係る多層配線基板における、複数の配線及びスルーホール導電層の容量結合状態を説明するための模式図である。

【図4】 実施の形態1に係る多層配線基板における、ダミー配線を説明するための模式図である。

【図5】 実施の形態1の変形例1に係る多層配線基板の模式的な縦断面図である。

【図6】 実施の形態1の変形例2に係る多層配線基板の模式的な縦断面図である。

【図7】 実施の形態2に係るメモリモジュールの模式的な上面図である。

【図8】 実施の形態2の変形例1に係るメモリモジュールの模式的な上面図である。

【図9】 実施の形態2の変形例2に係るメモリモジュールの模式的な上面図である。

【図10】 実施の形態2の変形例2に係る他のメモリモジュールの模式的な上面図である。

【図11】 実施の形態2の変形例3に係るメモリモジュールの模式的な上面図である。

【図12】 実施の形態2の変形例3に係る他のメモリモジュールの模式的な上面図である。

【図13】 実施の形態2の変形例4に係るメモリモジュールの模式的な上面図である。

【図14】 実施の形態2の変形例4に係る他のメモリモジュールの模式的な上面図である。

【図15】 従来の多層配線基板を用いたメモリモジュールを説明する模式的図である。

【図16】 従来の多層配線基板の模式的な縦断面図である。

【図17】 従来の多層配線基板における配線層を説明するための模式的な上面図である。

【図18】 従来の多層配線基板の模式的な縦断面図である。

【図19】 DRAMがアドレス信号を取り込むタイミングを説明するためのタイミングチャートである。

【図20】 従来の多層配線基板における、複数の配線の容量結合状態を説明するための模式図である。

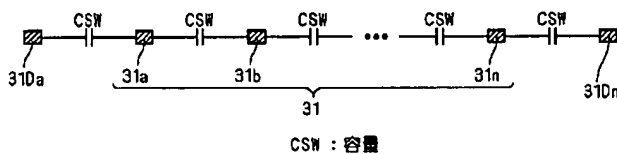
【図21】 従来の多層配線基板における、複数の配線及びスルーホール導電層の容量結合状態を説明するための模式図である。

【図22】 複数のアドレス信号間に伝播遅延時間がある場合における、DRAMが各アドレス信号を取り込むタイミングを説明するためのタイミングチャートである。

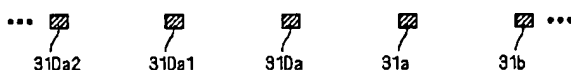
【符号の説明】

31Da, 31Da1, 31Da2, 31Dn, 131Da ダミー配線、31DaC 中央部、31DaT1, 31DaT2 端部、31a~31n, 131a 信号配線、31 信号配線群、40, 40ab~40nm スルーホール、40Da, 40Dn ダミースルーホール、41Da, 41Dn ダミー導電層、41ab~41nm 導電層、43, 44 連結配線、100~108 多層配線基板、201~208 メモリモジュール、CST, CSW 容量、R31Da1, R31Da2 抵抗、SA, SAa~SAn アドレス信号、T31Da1, T31Da2, T31Da3 端子(終端抵抗接続用端子)、Z0 特性インピーダンス。

【図2】

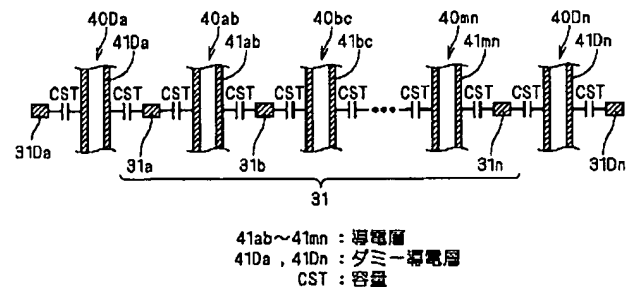


【図4】

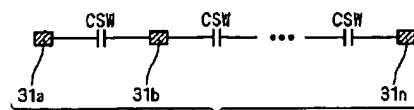


31Da1, 31Da2 : ダミー配線

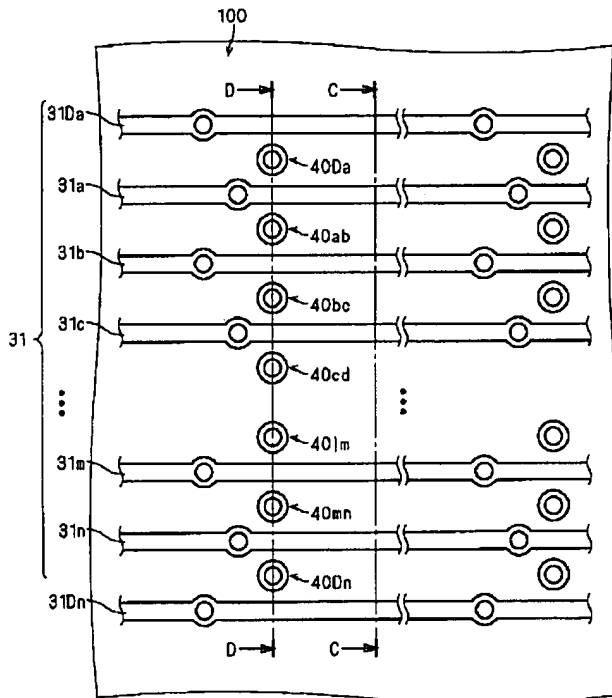
【図3】



【図20】

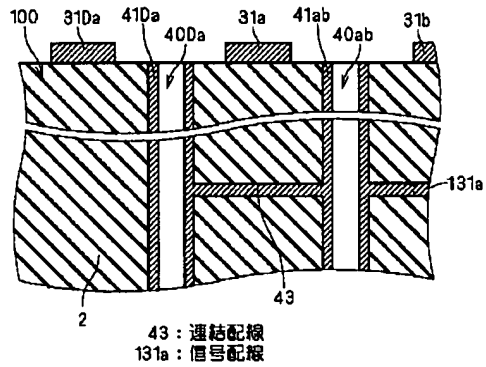


【図1】

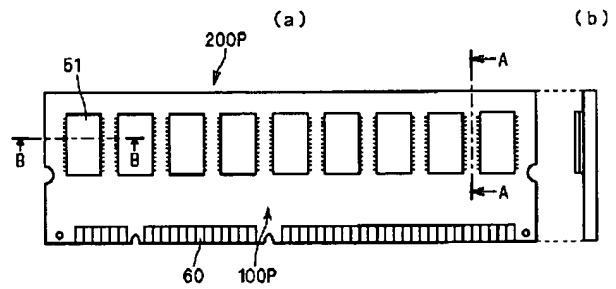


31a~31n: 信号配線
31: 信号配線群
31Da, 31Dn: ダミー配線
40ab~40mn: スルーホール
40Da, 40Dn: ダミースルーホール
100: 多層配線基板

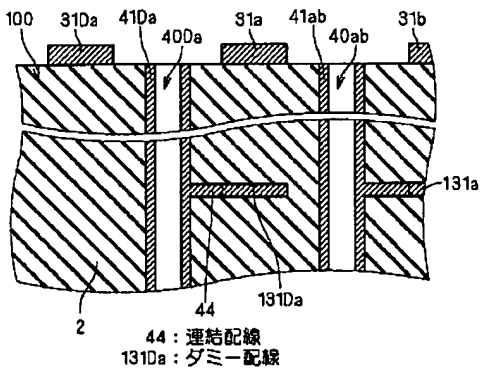
【図5】



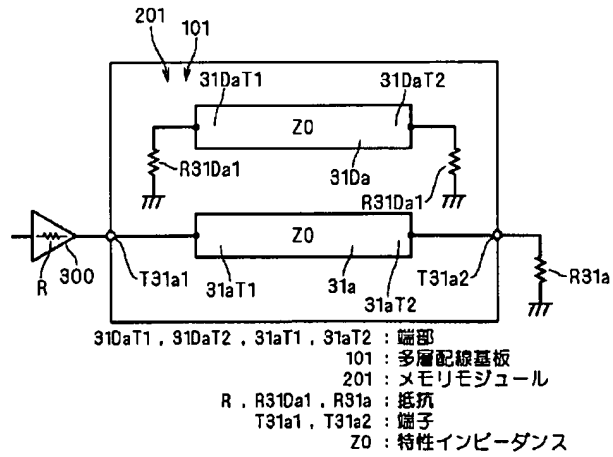
【図15】



【図6】

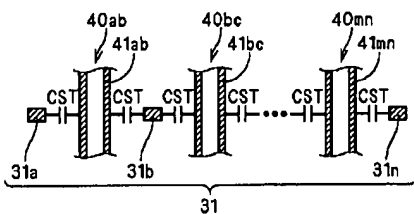


【図7】

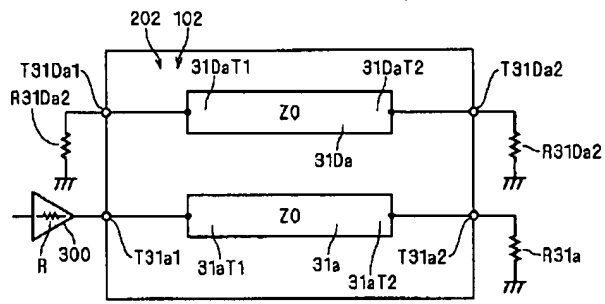


31DaT1, 31DaT2, 31aT1, 31aT2: 端子
101: 多層配線基板
201: メモリモジュール
R, R31Da1, R31a: 抵抗
T31a1, T31a2: 端子
Z0: 特性インピーダンス

【図21】

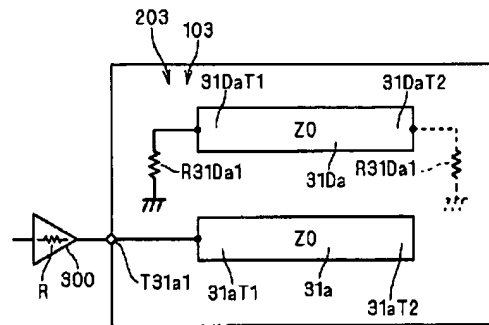


【図8】



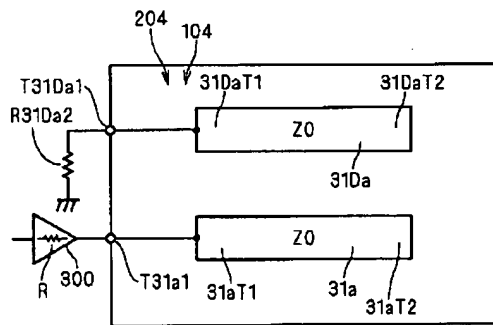
102 : 多層配線基板
202 : メモリモジュール
R310a2 : 抵抗
T310a1, T310a2 : 端子 (終端抵抗接続用端子)

【図9】



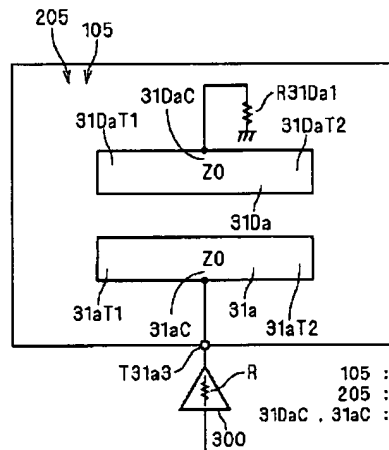
103 : 多層配線基板
203 : メモリモジュール

【図10】



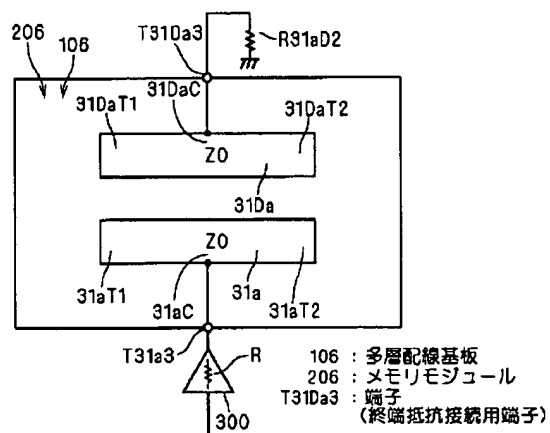
104 : 多層配線基板
204 : メモリモジュール

【図11】



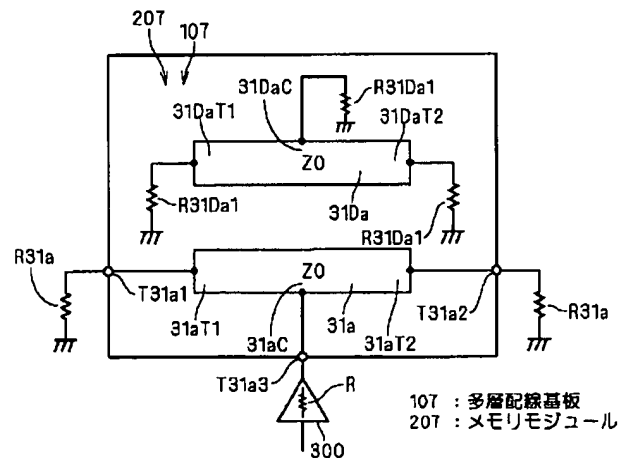
105 : 多層配線基板
205 : メモリモジュール
310aC, 31aC : 中央部

【図12】



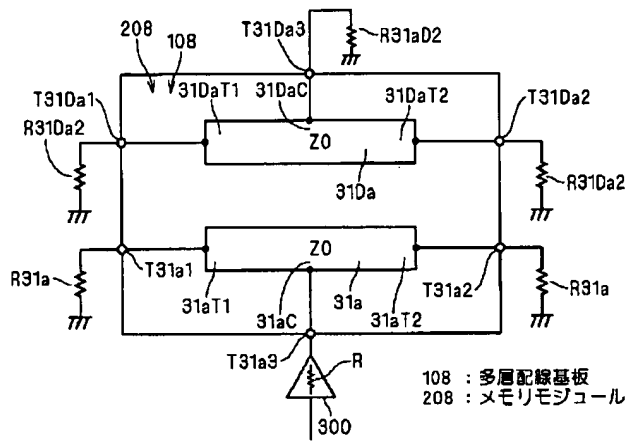
106 : 多層配線基板
206 : メモリモジュール
T310a3 : 端子 (終端抵抗接続用端子)

【図13】

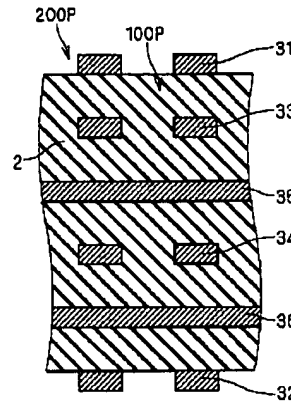


107 : 多層配線基板
207 : メモリモジュール

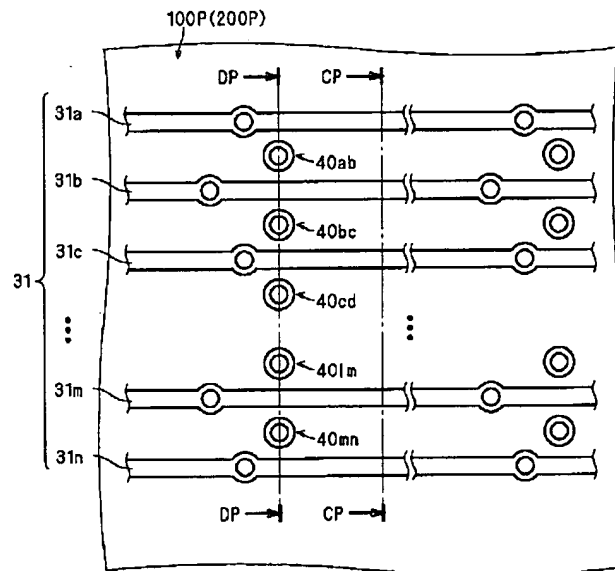
【図14】



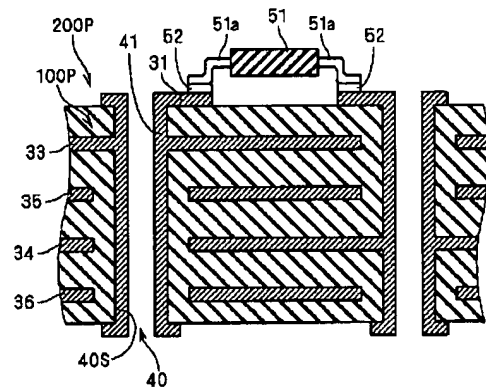
【図16】



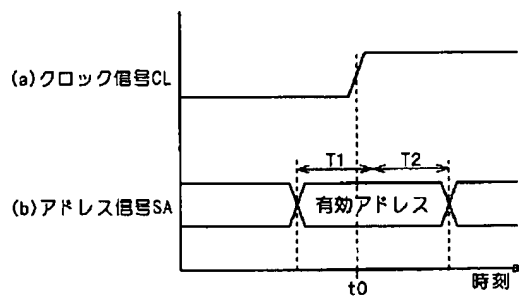
【図17】



【図18】



【図19】



【図22】

